



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 0 日
Date of Application:

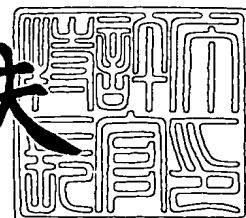
出 願 番 号 特 願 2 0 0 2 - 3 3 6 7 9 4
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 3 6 7 9 4]

出 願 人 富士通株式会社
Applicant(s):

2 0 0 3 年 8 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 0 3 4 2

【書類名】 特許願

【整理番号】 0241276

【提出日】 平成14年11月20日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03K 19/0175

【発明の名称】 バッファ回路装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 田村 泰孝

【発明者】

【住所又は居所】 神奈川県川崎市幸区堀川町 6 6 番地 2 富士通エルエスアイソリューション株式会社内

【氏名】 松原 聡

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 バッファ回路装置

【特許請求の範囲】

【請求項 1】 差動の入力信号を受け取って差動の出力信号を出力するバッファ回路装置であって、

前記入力信号を受け取って前記出力信号を出力するバッファ回路、

前記バッファ回路が出力すべき出力信号のコモンモード電圧の所定レベルを発生するコモンモードレベル発生回路、

所定の信号のコモンモード電圧を検出するコモンモード電圧検出回路、および

前記コモンモードレベル発生回路の出力と前記コモンモード電圧検出回路の出力とを比較して前記バッファ回路に供給するバイアス電圧を調整するバイアス電圧調整回路を備えることを特徴とするバッファ回路装置。

【請求項 2】 請求項 1 に記載のバッファ回路装置において、

前記コモンモードレベル発生回路は、前記バッファ回路装置の出力信号が供給される次段回路の入力信号のコモンモード電圧として適切な電圧レベルの信号を出力することを特徴とするバッファ回路装置。

【請求項 3】 請求項 2 に記載のバッファ回路装置において、

前記コモンモード電圧検出回路は、前記バッファ回路の出力信号のコモンモード電圧を検出することを特徴とするバッファ回路装置。

【請求項 4】 請求項 2 に記載のバッファ回路装置において、

前記コモンモード電圧検出回路は、前記次段回路の出力信号のコモンモード電圧を検出することを特徴とするバッファ回路装置。

【請求項 5】 請求項 3 または 4 に記載のバッファ回路装置において、

前記コモンモード電圧検出回路は、前記検出されたコモンモード電圧と、前記コモンモードレベル発生回路の出力電圧とを処理して前記バイアス電圧調整回路に出力することを特徴とするバッファ回路装置。

【請求項 6】 請求項 2 に記載のバッファ回路装置において、

前記コモンモードレベル発生回路は、前記次段回路に従ったレプリカ回路を備

えることを特徴とするバッファ回路装置。

【請求項 7】 請求項 6 に記載のバッファ回路装置において、

前記レプリカ回路は、前記次段回路の全体に対応した構成となっていることを特徴とするバッファ回路装置。

【請求項 8】 請求項 6 に記載のバッファ回路装置において、

前記レプリカ回路は、前記次段回路の一部に対応した構成となっていることを特徴とするバッファ回路装置。

【請求項 9】 請求項 2 に記載のバッファ回路装置において、

前記コモンモードレベル発生回路は、定電圧源を備えることを特徴とするバッファ回路装置。

【請求項 1 0】 請求項 2 に記載のバッファ回路装置において、

前記コモンモードレベル発生回路は、高電位電源線と低電位電源線との間に接続された複数の抵抗素子を備え、該抵抗素子により分圧された所定のレベルを発生することを特徴とするバッファ回路装置。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、複数の L S I チップ間や 1 つのチップ内における複数の素子や回路ブロック間の信号伝送、或いは、複数のボード間や複数の匡体間の信号伝送を高速に行うための技術に関し、特に、高速のクロック信号を分配したり高速のデータ信号を出力するために使用するバッファ回路装置に関する。

【 0 0 0 2】

近年、コンピュータやその他の情報処理機器を構成する部品の性能は大きく向上しており、例えば、S R A M (Static Random Access Memory) や D R A M (Dynamic Random Access Memory) 等の半導体記憶装置やプロセッサ、さらには、スイッチ用 L S I 等の性能向上は目を見張るものがある。そして、この半導体記憶装置やプロセッサ等の性能向上に伴って、各部品或いは要素間の信号伝送速度を向上させなければ、システムの性能を向上させることができないという事態になって来ている。

【0003】

具体的に、例えば、SRAMやDRAM等のメモリとプロセッサとの間（LSI間）の速度ギャップは大きくなる傾向にあり、近年は、この速度ギャップがコンピュータの性能向上の妨げになりつつある。また、これらのチップ間の信号伝送だけでなく、チップの高集積化並びに大型化、および、電源電圧の低電圧化（信号振幅の低レベル化）等により、チップ内における素子や回路ブロック間での信号伝送速度も、チップの性能を制限する大きな要因となって来ている。さらには、周辺機器とプロセッサ／チップセット間の信号伝送もシステム全体の性能を制限する大きな要因になっている。

【0004】

ところで、回路ブロック間やチップ間或いは匡体内での信号伝送を行うためには、クロックやデータ等の各種信号をバッファ（バッファ回路装置）を介して出力する。特に、近年の高速化および低電圧化（小信号振幅化）に伴って、差動のバッファを介して差動信号を伝送している。しかしながら、バッファが出力する差動信号のコモンモード電圧と、そのバッファの出力を受け取る回路（次段回路）が最適に動作するコモンモード電圧とは異なることが頻繁にあり、そのような場合には、次段回路の入力感度が低下して、高速の信号伝送を妨げることにもなっていた。そこで、段回路にとって最適なコモンモード電圧を与え、次段回路が感度劣化を起こすことなく信号を受信して、より一層の高速信号伝送を可能とするバッファ回路装置の提供が要望されている。

【0005】

【従来の技術】

図1は従来のバッファ回路装置の一例を示す回路図であり、差動CML（Current Mode Logic）をベースにしたバッファ回路装置を示すものである。

【0006】

図1に示されるように、従来のバッファ回路装置は、高電位電源線V_{dd}に接続された負荷101、102、ドレインが負荷101、102に接続され、ゲートに差動（相補）の入力信号i_n、 $\overline{i_n}$ が供給されたnチャネル型MOSトランジスタ（nMOSトランジスタ）103、104、および、nMOSトランジスタ

タ 103, 104 のソースと低電位電源線 V_{ss} との間に設けら、ゲートにバイアス電圧 $bias$ が印加された nMOS トランジスタ 105 を備えている。なお、差動の出力信号 out および \overline{out} は、それぞれ負荷 102 と nMOS トランジスタ 104 のドレインとの接続ノード N101 および負荷 101 と nMOS トランジスタ 103 のドレインとの接続ノード N102 から取り出されるようになっている。

【0007】

ここで、近年、上述したバッファ回路装置が適用される回路の電源電圧 (V_{dd}) としては、例えば、1.2 V、或いは、それ以下となって来ており、また、コモンモード電圧（出力信号の高レベル『H』の電圧と低レベル『L』の電圧との中間の電圧）としては、通常、 $V_{dd}/2$ よりも高い電圧（例えば、電源電圧 (V_{dd}) が 1.2 V のときは、0.8 V）とされている。

【0008】

従来、コモンモード電圧を有効に除去して高精度の信号伝送（信号検出）を行うようにした信号伝送システムにおけるレシーバ回路として、差動の入力信号を受け取る容量ネットワーク部とコンパレータ部とを備え、容量ネットワーク部の出力を受け取ってコモンモード電圧を略一定の値に保つものが提案されている（例えば、特許文献 1 参照）。

【0009】

【特許文献 1】

特開 2000-196680 号公報

【0010】

【発明が解決しようとする課題】

上述したように、近年、例えば、LSI 内の高速信号伝送は、通常、差動 CML をベースにしたバッファを用いるので、出力コモンモード電圧は $V_{dd}/2$ より高いのが一般的である。一方、バッファの出力信号を受け取る次段回路は、その回路の種類等によって受信しやすい入力コモンモード電圧が異なる（多くの場合は、 $V_{dd}/2$ ）ため、最適ではないコモンモードの信号を受け取って入力感度が低下することがあった。これは、クロック信号を分配するために使用されるクロ

ックバッファだけでなく、他の様々な信号を扱うバッファ（バッファ回路装置）においても同様である。

【0011】

本発明は、上述した従来のバッファ回路装置が有する課題に鑑み、バッファ回路装置の出力信号を受け取る次段回路にとって最適なコモンモード電圧を与え、次段回路が感度劣化を起こすことなく信号を受信してより一層の高速信号伝送を可能とするバッファ回路装置の提供を目的とする。

【0012】

【課題を解決するための手段】

本発明の第1の形態によれば、差動の入力信号を受け取って差動の出力信号を出力するバッファ回路装置であって、前記入力信号を受け取って前記出力信号を出力するバッファ回路、前記バッファ回路が出力すべき出力信号のコモンモード電圧の所定レベルを発生するコモンモードレベル発生回路、所定の信号のコモンモード電圧を検出するコモンモード電圧検出回路、および、前記コモンモードレベル発生回路の出力と前記コモンモード電圧検出回路の出力とを比較して前記バッファ回路に供給するバイアス電圧を調整するバイアス電圧調整回路を備えることを特徴とするバッファ回路装置が提供される。

【0013】

図2は本発明に係るバッファ回路装置の原理構成を概略的に示すブロック図である。

【0014】

図2に示されるように、バッファ回路11は、入力信号IN、 \angle INを受け取って出力信号OUT、 \angle OUTを出力し、また、コモンモードレベル発生回路12は、バッファ回路が出力すべき出力信号（OUT、 \angle OUT）のコモンモード電圧の所定レベルを発生する。コモンモード電圧検出回路13は、バッファ回路11の出力や次段回路2の出力といった所定の信号のコモンモード電圧を検出し、さらに、バイアス電圧調整回路は、コモンモードレベル発生回路12の出力とコモンモード電圧検出回路13の出力とを比較してバッファ回路11に供給するバイアス電圧BIASを調整する。

【0015】

これにより、バッファ回路装置 1 の出力信号 OUT, /OUT を受け取る次段回路 2 にとって最適なコモンモード電圧を与え、次段回路 2 が感度劣化を起こすことなく信号を受信してより一層の高速信号伝送が可能となる。すなわち、本発明のバッファ回路装置によれば、レベル発生回路 12 の出力レベルと同じになるようにバッファ回路 11 の出力にコモンモードフィードバックをかけることで、出力信号 OUT, /OUT の出力コモンモード電圧を制御することができ、次段回路（受信回路）2 にとって最適な入力コモンモード電圧を有する信号（OUT, /OUT）を次段回路 2 に供給することで次段回路 2 の受信感度を高めることができる。

【0016】**【発明の実施の形態】**

以下、本発明に係るバッファ回路装置の実施例を、添付図面を参照して詳述する。

【0017】

図 3 は本発明に係るバッファ回路装置の第 1 実施例を示す回路図である。図 3 において、参照符号 1 はバッファ回路装置、11 はバッファ回路、12 はコモンモードレベル発生回路、13 はコモンモード電圧検出回路、14 はバイアス調整回路、そして、2 は次段回路を示している。また、参照符号 IN, /IN は差動の入力信号、OUT, /OUT は差動の出力信号、Vdd は高電位電源線（高電位電源電圧）、そして、Vss は低電位電源線（低電位電源電圧）を示している。

【0018】

図 3 に示されるように、本第 1 実施例のバッファ回路装置において、バッファ回路 11 は、前述した図 1 に示す差動 CML をベースにしたバッファ（バッファ回路装置）と同様の構成とされている。すなわち、バッファ回路 11 は、高電位電源線 Vdd に接続された負荷 111, 112、ドレインが負荷 111, 112 に接続され、ゲートに差動（相補）の入力信号 IN, /IN が供給された nMOS トランジスタ 113, 114、および、nMOS トランジスタ 113, 114 のソースと低電位電源線 Vss との間に設けられ、ゲートに調整されたバイアス電圧

(バイアス調整回路 14 の出力) BIAS が印加された nMOS トランジスタ 115 を備えている。なお、差動の出力信号 OUT および \neg OUT は、それぞれ負荷 112 と nMOS トランジスタ 114 のドレインとの接続ノード N1、および、負荷 111 と nMOS トランジスタ 113 のドレインとの接続ノード N2 から取り出されるようになっている。

【0019】

コモンモードレベル発生回路 12 は、次段回路 2 に従ったレプリカ回路を備えており、本第 1 実施例において、レプリカ回路は次段回路 2 に対応した構成とされている。すなわち、次段回路 2 は、負荷として機能する pMOS トランジスタ 21, 22 および 23, 24、差動入力 of nMOS トランジスタ 25, 26、および、ゲートに一定の電圧 (バイアス電圧) V_{cn} が印加された nMOS トランジスタ 27 を備え、同様に、コモンモードレベル発生回路 (レプリカ回路) 12 は、pMOS トランジスタ 121, 122 および 123, 124、nMOS トランジスタ 125, 126、および、ゲートに一定の電圧 (バイアス電圧) V_{cn} が印加された nMOS トランジスタ 127 を備えている。なお、コモンモードレベル発生回路 12 における回路 (レプリカ回路) は、その入力 (差動入力) および出力 (差動出力) が短絡され、コモンモード電圧を出力するようになっている。

【0020】

コモンモード電圧検出回路 13 は、バッファ回路 11 の差動出力信号 OUT, \neg OUT を抵抗素子 132, 131 で受けて合成し、その出力 (抵抗素子 131 および 132 の共通接続ノードの出力) をコンパレータで構成されたバイアス調整回路 14 の正論理入力に供給し、さらに、コモンモードレベル発生回路 12 の出力を抵抗素子 133 を介してコンパレータ (14) の負論理入力に供給するようになっている。ここで、コンパレータ 14 の正および負論理入力には、低電位電源線 V_{ss} との間にそれぞれ容量素子 135 および 134 が設けられている。また、バッファ回路 11 の差動出力信号 OUT, \neg OUT は、次段回路 2 の差動入力信号として次段回路 2 に供給される。

【0021】

バイアス調整回路（コンパレータ）14の出力（BIAS）は、上述したように、バッファ回路11におけるnMOSトランジスタ115のゲートにフィードバックされ、これにより、バッファ回路11の出力（OUT, /OUT）の共通モード電圧を、次段回路2の共通モード電圧のレベルに適合するように調整されることになる。

【0022】

このように、本第1実施例のバッファ回路装置によれば、共通モードレベル発生回路12として次段回路2のレプリカ回路を用いているため、次段回路2のゲインを最大にするような共通モード電圧で出力信号OUT, /OUTを出力することができる。

【0023】

図4は本発明に係るバッファ回路装置の第2実施例を示す回路図である。

【0024】

図4と上述した図3との比較から明らかなように、本第2実施例のバッファ回路装置1は、共通モードレベル発生回路12が次段回路2全体に対応した回路となっているのではなく、次段回路2の一部（差動信号の一方）に対応した構成となっている。すなわち、本第2実施例のバッファ回路装置において、共通モードレベル発生回路（レプリカ回路）12は、pMOSトランジスタ121', 122'、および、nMOSトランジスタ125', 127'で構成されている。ここで、本第2実施例において、共通モードレベル発生回路12のnMOSトランジスタ127'は、上述した図3の第1実施例における共通モードレベル発生回路12のnMOSトランジスタ127の半分のサイズ、すなわち、ゲート幅が1/2となるトランジスタとして形成されている。

【0025】

図5は本発明に係るバッファ回路装置の第3実施例を示す回路図である。

【0026】

図5に示されるように、本第3実施例のバッファ回路装置1は、次段回路2がバッファ回路11（バッファ回路装置1）の差動出力信号OUT, /OUTを増幅する2つのインバータ（トランジスタ201, 202; 203, 204）で構

成され、それに伴って、コモンモードレベル発生回路（レプリカ回路）12も、pMOSトランジスタ1201およびnMOSトランジスタ1202よりなるインバータで構成されるようになっている。このように、コモンモードレベル発生回路12の構成は、次段回路2に応じて変化させ、該次段回路2に適したコモンモード電圧のレベルを発生することができる。

【0027】

図6は本発明に係るバッファ回路装置の第4実施例を概略的に示すブロック図である。

【0028】

図6に示されるように、本第4実施例のバッファ回路装置は、コモンモードレベル発生回路12を定電圧源として構成している。なお、他の構成、すなわち、バッファ回路11、コモンモード電圧検出回路13、および、バイアス調整回路14の構成は、例えば、前述した図3の第1実施例と同様である。

【0029】

本第4実施例のバッファ回路装置は、コモンモードレベル発生回路12として定電圧源を使用しているので、電源電圧や温度の変動に依存しないコモンモード電圧を有する出力信号OUT、 \angle OUTを出力することができる。本第4実施例のバッファ回路装置は、例えば、次段回路2の入力信号（バッファ回路装置の差動出力信号OUT、 \angle OUT）のレベル範囲が予め決められている場合等において、その差動出力信号OUT、 \angle OUTを決められたレベル範囲内に収めることができる。なお、定電圧源としては、従来から知られている様々なものが適用可能である。

【0030】

図7は本発明に係るバッファ回路装置の第5実施例を概略的に示すブロック図である。

【0031】

図7と上述した図6との比較から明らかなように、本第5実施例のバッファ回路装置は、コモンモード電圧検出回路13が、次段回路2の出力（差動出力信号）を取り込み、この次段回路2の出力信号におけるコモンモード電圧に応じてバ

イアス調整回路 14 の出力 B I A S が出力されるようになっている。これにより、次段回路 2 の差動出力信号を、例えば、予め決められたレベル範囲内に収めることが可能になる。

【0032】

図 8 は本発明に係るバッファ回路装置の第 6 実施例を概略的に示すブロック図である。

【0033】

図 8 に示されるように、本第 6 実施例のバッファ回路装置は、コモンモードレベル発生回路 12 が高電位電源線 V_{dd} と低電位電源線 V_{ss} との間に接続された抵抗素子 12a, 12b で構成され、これらの抵抗素子 12a, 12b により分圧された電圧がコモンモードレベル発生回路 12 の出力としてコモンモード電圧検出回路 13 に供給されるようになっている。このように、本第 6 実施例のバッファ回路装置によれば、コモンモードレベル発生回路 12 の出力として電源電圧を抵抗分圧して得た出力を用いるため、温度や製造プロセス変動に依存しない電圧を使用してフィードバック制御を行うことができる。なお、抵抗素子 12a, 12b は、例えば、ポリシリコンにより形成することができる。

【0034】

このように、本発明に係るバッファ回路装置の各実施例によれば、バッファ回路装置の差動出力信号を受け取る次段回路にとって最適なコモンモード電圧を与えることができ、次段回路が感度劣化を起こすことなく信号を受信してより一層の高速信号伝送が可能となる。

【0035】

(付記 1) 差動の入力信号を受け取って差動の出力信号を出力するバッファ回路装置であって、

前記入力信号を受け取って前記出力信号を出力するバッファ回路、

前記バッファ回路が出力すべき出力信号のコモンモード電圧の所定レベルを発生するコモンモードレベル発生回路、

所定の信号のコモンモード電圧を検出するコモンモード電圧検出回路、および

前記コモンモードレベル発生回路の出力と前記コモンモード電圧検出回路の出力とを比較して前記バッファ回路に供給するバイアス電圧を調整するバイアス電圧調整回路を備えることを特徴とするバッファ回路装置。

【0036】

(付記2) 付記1に記載のバッファ回路装置において、
前記コモンモードレベル発生回路は、前記バッファ回路装置の出力信号が供給される次段回路の入力信号のコモンモード電圧として適切な電圧レベルの信号を出力することを特徴とするバッファ回路装置。

【0037】

(付記3) 付記2に記載のバッファ回路装置において、
前記コモンモード電圧検出回路は、前記バッファ回路の出力信号のコモンモード電圧を検出することを特徴とするバッファ回路装置。

【0038】

(付記4) 付記2に記載のバッファ回路装置において、
前記コモンモード電圧検出回路は、前記次段回路の出力信号のコモンモード電圧を検出することを特徴とするバッファ回路装置。

【0039】

(付記5) 付記3または4に記載のバッファ回路装置において、
前記コモンモード電圧検出回路は、前記検出されたコモンモード電圧と、前記コモンモードレベル発生回路の出力電圧とを処理して前記バイアス電圧調整回路に出力することを特徴とするバッファ回路装置。

【0040】

(付記6) 付記5に記載のバッファ回路装置において、
前記コモンモード電圧検出回路は、入力される差動信号を合成する第1および第2の抵抗素子、および、前記コモンモードレベル発生回路の出力に直列に接続された第3の抵抗素子を備えることを特徴とするバッファ回路装置。

【0041】

(付記7) 付記6に記載のバッファ回路装置において、
前記コモンモード電圧検出回路は、さらに、前記第1および第2の抵抗素子の

共通接続ノードと所定の電源線との間に接続された第 1 の容量素子、および、前記第 3 の抵抗素子の出力ノードと該所定の電源線との間に接続された第 2 の容量素子を備えることを特徴とするバッファ回路装置。

【 0 0 4 2 】

(付記 8) 付記 7 に記載のバッファ回路装置において、
前記バイアス電圧調整回路は、前記第 1 および第 2 の抵抗素子の共通接続ノード、並びに、前記第 3 の抵抗素子の出力ノードを入力とするコンパレータであることを特徴とするバッファ回路装置。

【 0 0 4 3 】

(付記 9) 付記 2 に記載のバッファ回路装置において、
前記コモンモードレベル発生回路は、前記次段回路に従ったレプリカ回路を備えることを特徴とするバッファ回路装置。

【 0 0 4 4 】

(付記 1 0) 付記 9 に記載のバッファ回路装置において、
前記レプリカ回路は、前記次段回路の全体に対応した構成となっていることを特徴とするバッファ回路装置。

【 0 0 4 5 】

(付記 1 1) 付記 9 に記載のバッファ回路装置において、
前記レプリカ回路は、前記次段回路の一部に対応した構成となっていることを特徴とするバッファ回路装置。

【 0 0 4 6 】

(付記 1 2) 付記 2 に記載のバッファ回路装置において、
前記コモンモードレベル発生回路は、定電圧源を備えることを特徴とするバッファ回路装置。

【 0 0 4 7 】

(付記 1 3) 付記 2 に記載のバッファ回路装置において、
前記コモンモードレベル発生回路は、高電位電源線と低電位電源線との間に接続された複数の抵抗素子を備え、該抵抗素子により分圧された所定のレベルを発生することを特徴とするバッファ回路装置。

【0048】

【発明の効果】

以上、詳述したように、本発明によれば、バッファ回路装置の出力信号を受け取る次段回路にとって最適なコモンモード電圧を与え、次段回路が感度劣化を起こすことなく信号を受信してより一層の高速信号伝送を可能とするバッファ回路装置が提供される。

【図面の簡単な説明】

【図1】

従来のバッファ回路装置の一例を示す回路図である。

【図2】

本発明に係るバッファ回路装置の原理構成を概略的に示すブロック図である。

【図3】

本発明に係るバッファ回路装置の第1実施例を示す回路図である。

【図4】

本発明に係るバッファ回路装置の第2実施例を示す回路図である。

【図5】

本発明に係るバッファ回路装置の第3実施例を示す回路図である。

【図6】

本発明に係るバッファ回路装置の第4実施例を概略的に示すブロック図である。

【図7】

本発明に係るバッファ回路装置の第5実施例を概略的に示すブロック図である。

【図8】

本発明に係るバッファ回路装置の第6実施例を概略的に示すブロック図である。

【符号の説明】

1; 100…バッファ回路装置 (バッファ)

2…次段回路

1 1…バッファ回路

1 2…コモンモードレベル発生回路

1 3…コモンモード電圧検出回路

1 4…バイアス調整回路

$i n, / i n ; I N, / I N$ …入力信号（差動入力信号）

$o u t, / o u t ; O U T, / O U T$ …出力信号（差動出力信号）

V_{dd} …高電位電源線（高電位電源電圧）

V_{ss} …低電位電源線（低電位電源電圧）

【書類名】

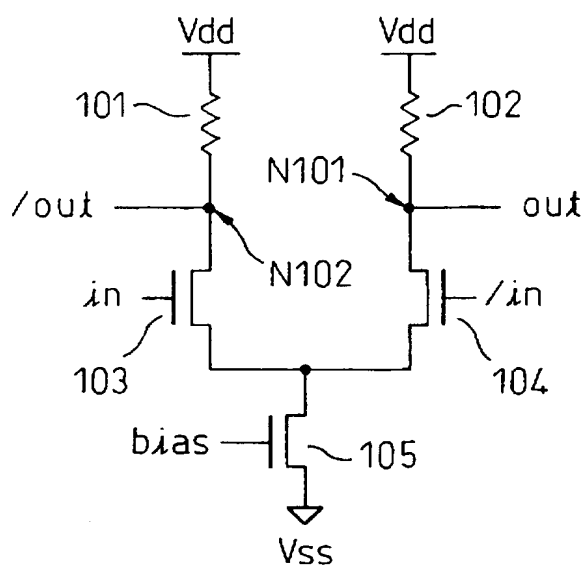
図面

【図 1】

图 1

従来のバッファ回路装置の一例を示す回路図

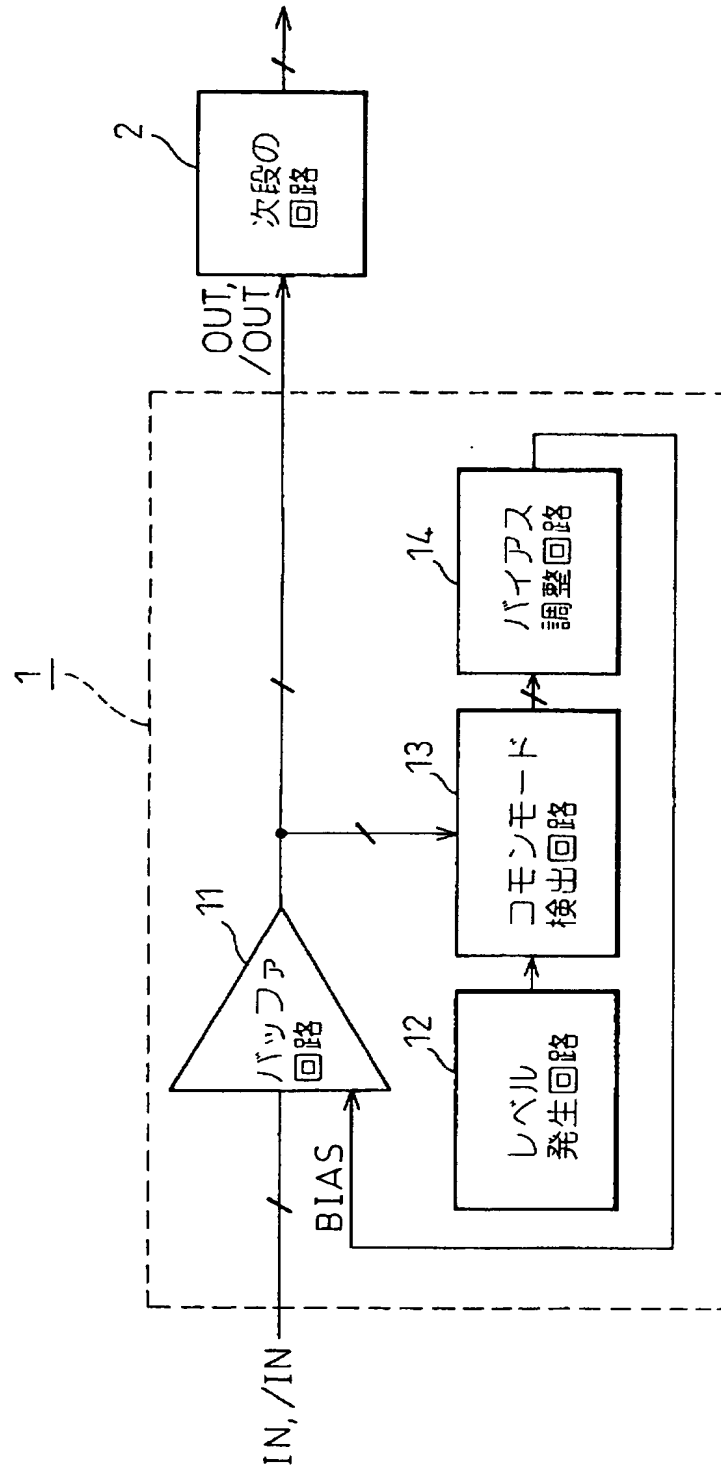
100



【図 2】

図 2

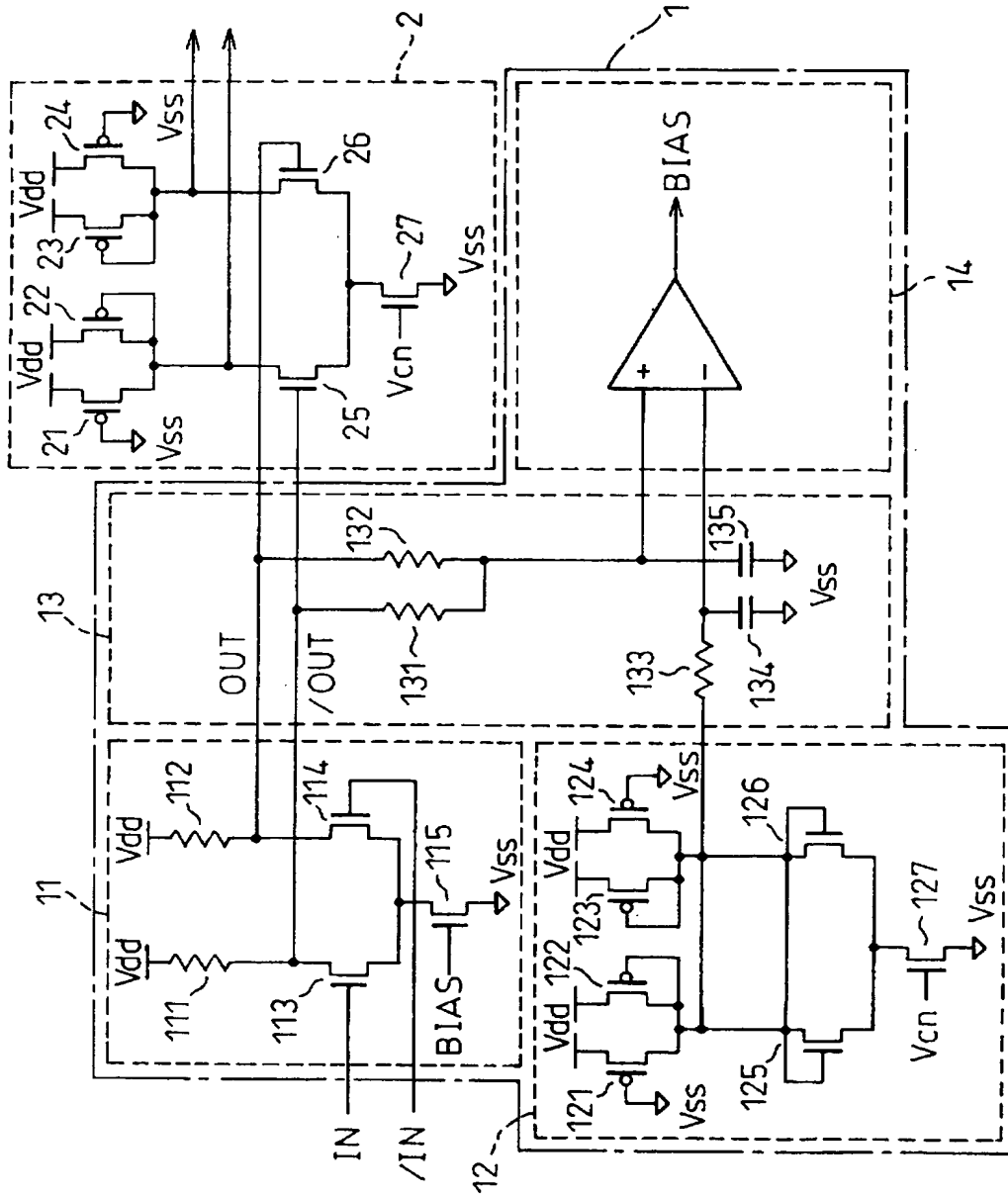
本発明に係るバッファ回路装置の原理構成を概略的に示すブロック図



【図 3】

図 3

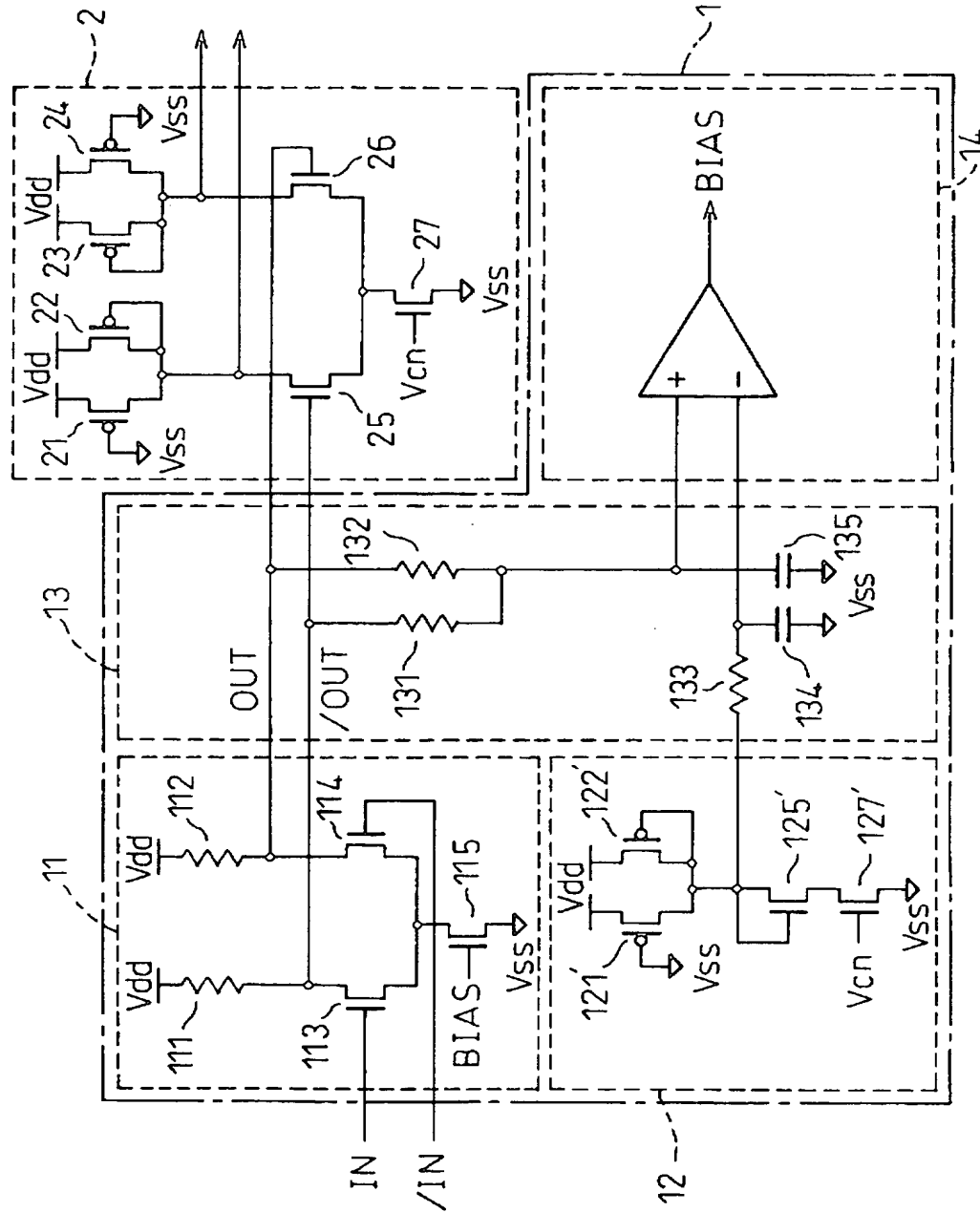
本発明に係るバッファ回路装置の第 1 実施例を示す回路図



【図 4】

図 4

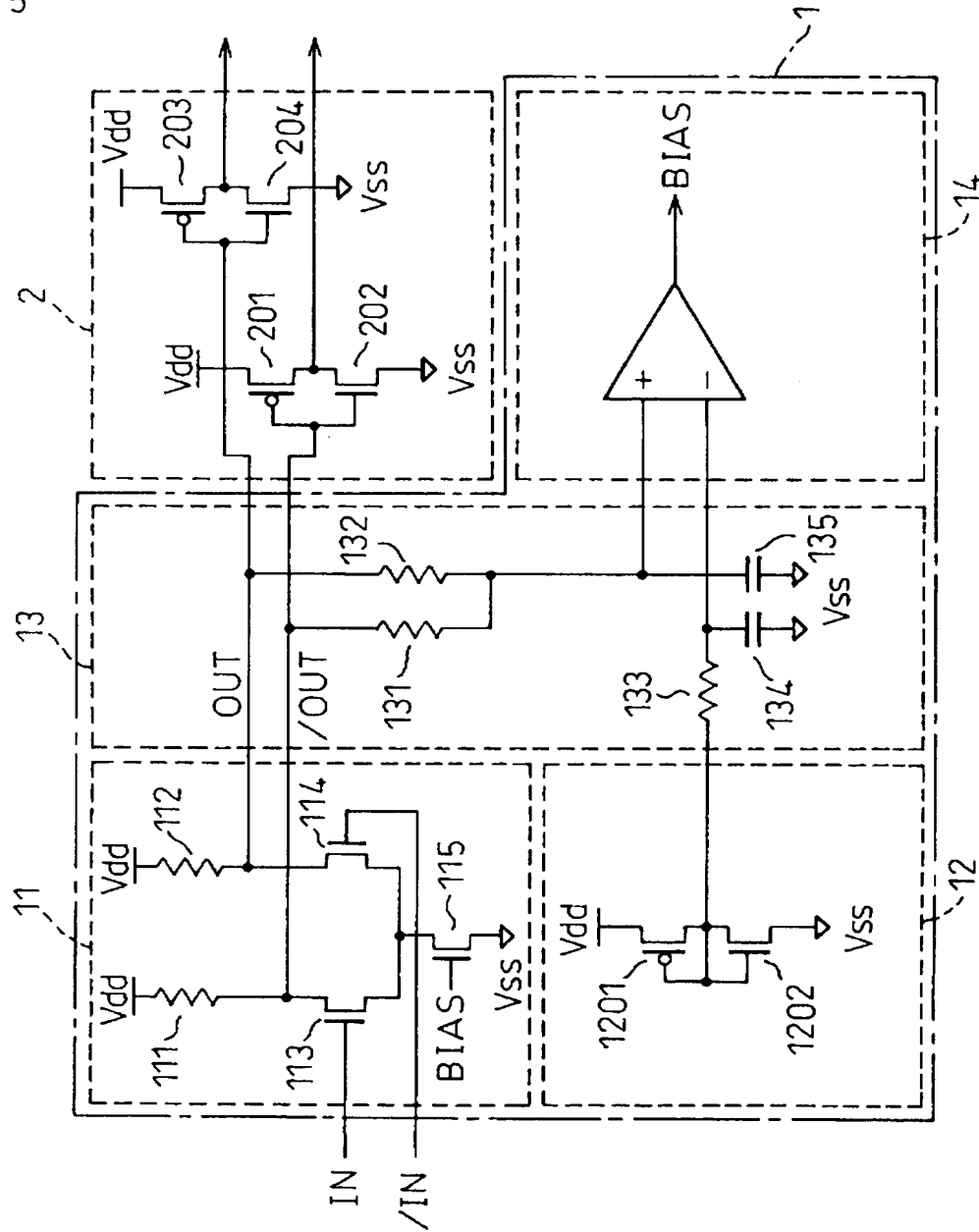
本発明に係るバッファ回路装置の第 2 実施例を示す回路図



【図 5】

図 5

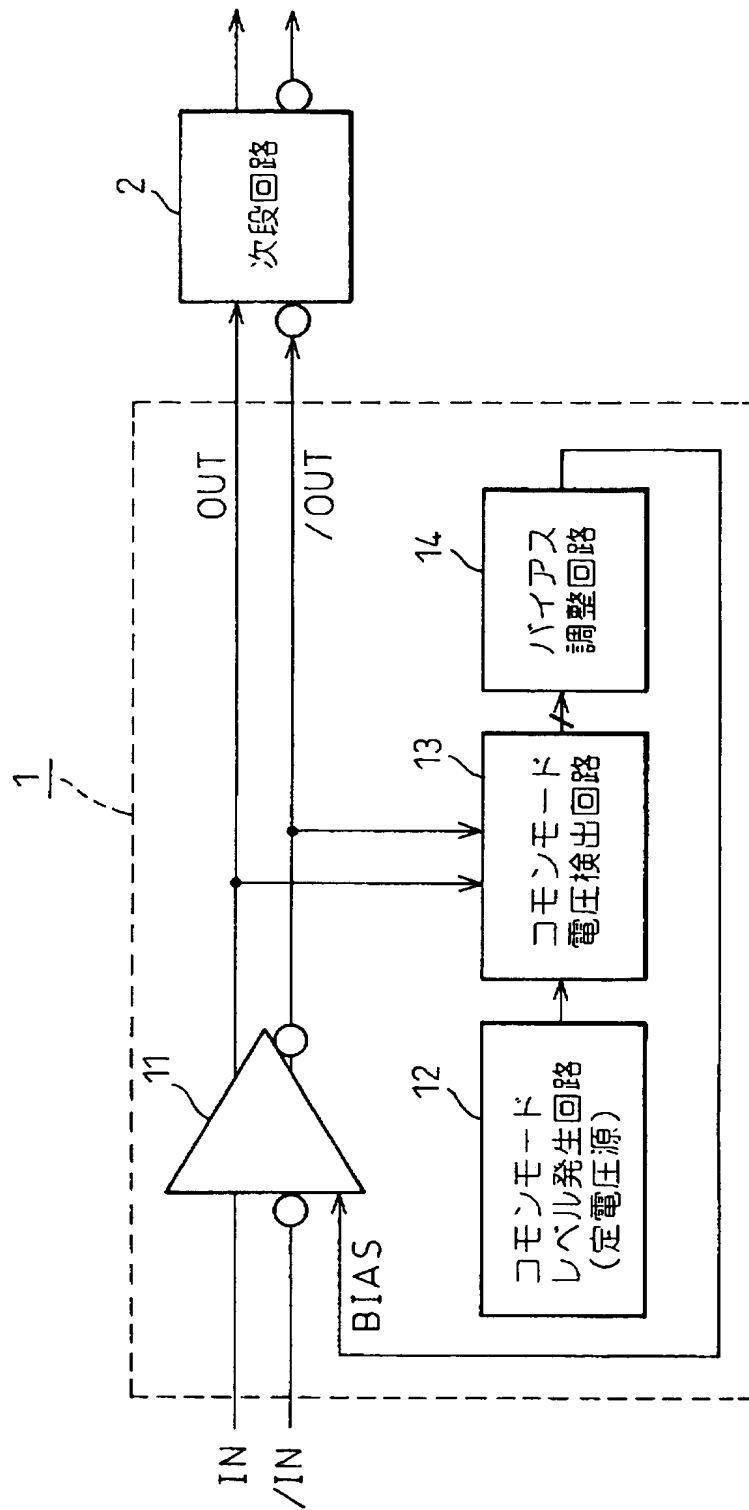
本発明に係るバッファ回路装置の第3実施例を示す回路図



【図 6】

図 6

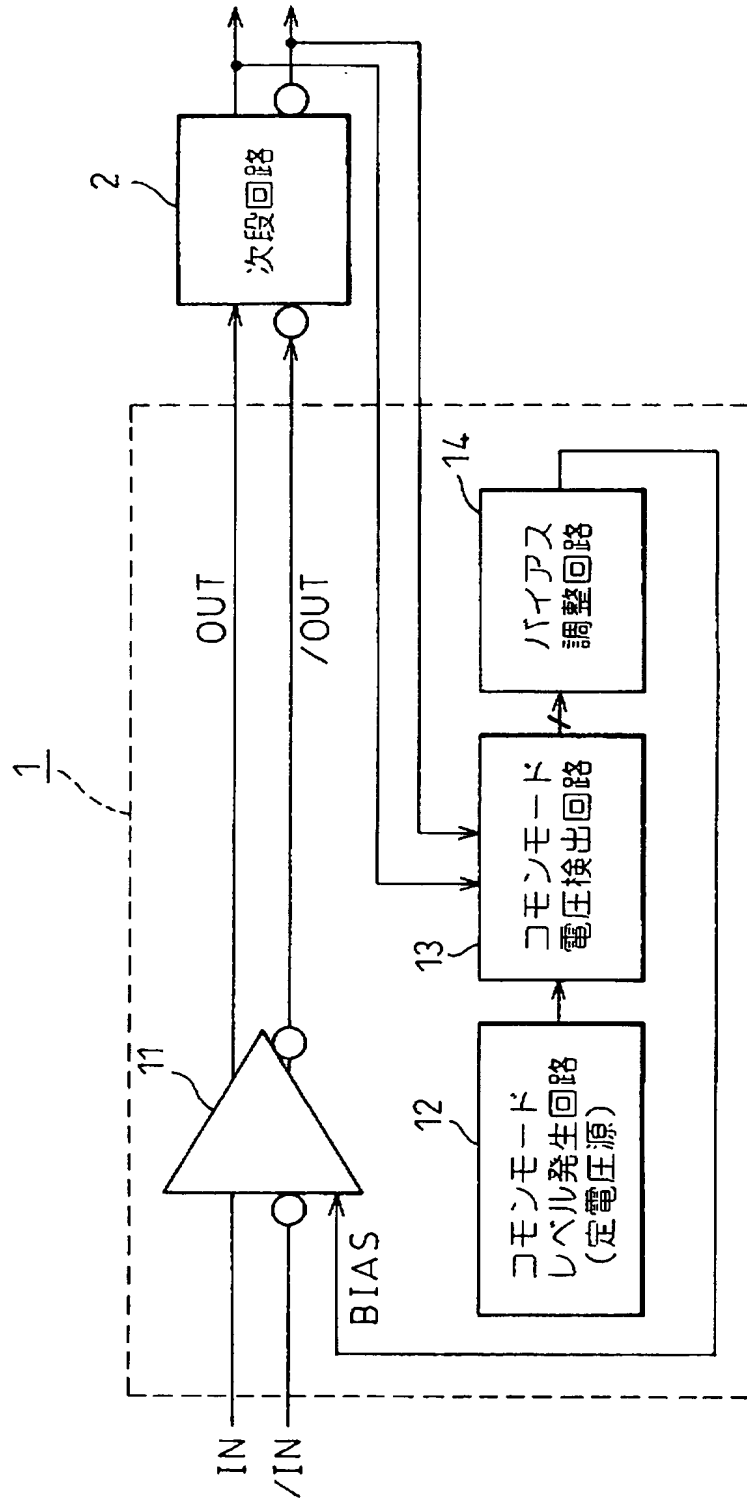
本発明に係るバッファ回路装置の第 4 実施例を概略的に示すブロック図



【図 7】

図 7

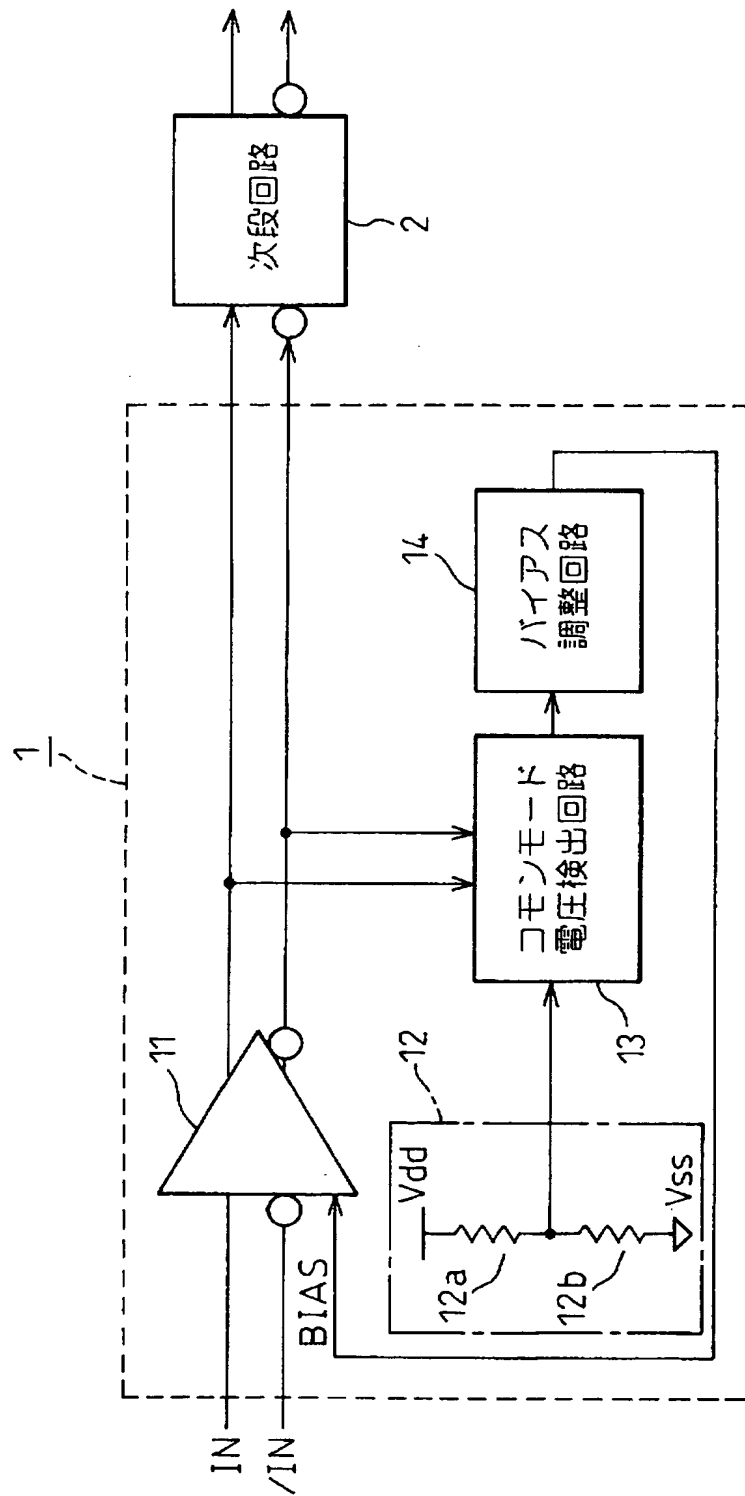
本発明に係るバッファ回路装置の第 5 実施例を概略的に示すブロック図



【図 8】

図 8

本発明に係るバッファ回路装置の第 6 実施例を概略的に示すブロック図



【書類名】 要約書

【要約】

【課題】 バッファの出力信号を受け取る次段回路は、その回路の種類等によって受信しやすい入力コモンモード電圧が異なるため、最適ではないコモンモードの信号を受け取って入力感度が低下することがあった。

【解決手段】 差動の入力信号 I_N 、 $/I_N$ を受け取って差動の出力信号 $O_U T$ 、 $/O_U T$ を出力するバッファ回路装置 1 であって、前記入力信号を受け取って前記出力信号を出力するバッファ回路 11、前記バッファ回路が出力すべき出力信号のコモンモード電圧の所定レベルを発生するコモンモードレベル発生回路 12、所定の信号のコモンモード電圧を検出するコモンモード電圧検出回路 13、および、前記コモンモードレベル発生回路の出力と前記コモンモード電圧検出回路の出力とを比較して前記バッファ回路に供給するバイアス電圧 $B I A S$ を調整するバイアス電圧調整回路を備えるように構成する。

【選択図】 図 2

特願 2 0 0 2 - 3 3 6 7 9 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 1 0 1 5 番地

氏 名

富士通株式会社

2. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社